

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 9 月 29 日 (29.09.2005)

PCT

(10) 国際公開番号  
WO 2005/091265 A1

- (51) 国際特許分類: G09G 3/30, 3/20  
(21) 国際出願番号: PCT/JP2005/005123  
(22) 国際出願日: 2005 年 3 月 22 日 (22.03.2005)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願2004-087013 2004 年 3 月 24 日 (24.03.2004) JP  
(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO.,LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてののみ): 前出 淳 (MAEDE, Jun) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 阿部 真一 (ABE, Shinichi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 藤川 昭夫 (FUJIKAWA, Akio) [JP/JP]; 〒6158585

京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 藤沢 雅憲 (FUJISAWA, Masanori) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 梶山 信是, 外 (KAJIYAMA, Tsuyoshi et al.); 〒1600023 東京都新宿区西新宿 8-8-1 5-2 0 1 Tokyo (JP).

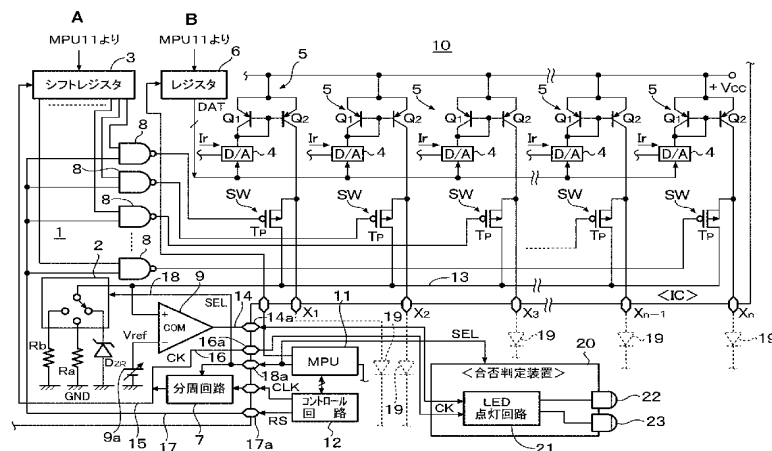
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

[続葉有]

(54) Title: ORGANIC EL PANEL DRIVING CIRCUIT, ORGANIC EL DISPLAY DEVICE AND ORGANIC EL PANEL DRIVING CIRCUIT INSPECTING DEVICE

(54) 発明の名称: 有機 EL パネルの駆動回路、有機 EL 表示装置および有機 EL パネル駆動回路の検査装置



A... FROM MPU11  
B... FROM MPU11  
3... SHIFT RESISTOR  
6... RESISTOR

7... FREQUENCY DIVIDING CIRCUIT  
12... CONTROL CIRCUIT  
20... ACCEPTANCE JUDGING DEVICE  
21... LED LIGHTING CIRCUIT

(57) Abstract: An output current from each output terminal (X) of an organic EL panel driving circuit (10) to each column pin or each data line is selected by a switch scanning circuit (3) by sequentially turning on a plurality of switch circuits (SW) and is supplied to a resistor (RaRb) selected by a selector (2). A voltage value converted by the resistor is outputted to an external to compare the voltage value, and a current value of the output current from each output terminal (X) to each column pin or each data line is correct or not is tested. Thus, test time can be shortened.

[続葉有]

WO 2005/091265 A1



BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

---

(57) 要約:

有機ELパネルの駆動回路(10)の各出力端子(X)から各カラムピンあるいは各データ線への出力電流を、スイッチ走査回路(3)で複数のスイッチ回路(SW)'を順次オンして選択し、セレクト(2)により選択された抵抗(R a R b)に供給する。抵抗にて変換された電圧値を外部へ出力しその電圧値を比較することにより、各出力端子(X)から各カラムピンあるいは各データ線への出力電流の電流値が適正か否かのテストを行うことで、テスト時間の短縮が可能になる。

## 明 細 書

### 有機ELパネルの駆動回路、有機EL表示装置および有機ELパネル駆動回路の検査装置

#### 技術分野

- [0001] この発明は、有機ELパネルの駆動回路、有機EL表示装置および有機ELパネル駆動回路の検査装置に関し、詳しくは、電流駆動回路の各出力端子に出力される電流値が適正か否かのテストを行う場合のテスト時間を短縮をすることができるような有機ELパネルの駆動回路に関する。

#### 背景技術

- [0002] 携帯電話機、PHS、DVDプレーヤ、PDA(携帯端末装置)等に搭載される有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個(132×3)の端子ピン、ローラインが162個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

このような有機EL表示パネルの電流駆動回路は、アクティブマトリックス型でもパッシブマトリックス型のものでも端子ピン対応にカレントミラー回路等の出力段電流源を備えた電流駆動回路が設けられている。

パッシブマトリックス型では、直接、電流源により有機EL素子(以下OEL素子)が電流駆動される。アクティブマトリックス型では、表示セル(画素)に対応してコンデンサと電流駆動トランジスタとOEL素子とからなるピクセル回路がマトリックス状に設けられている。OEL素子は、各ピクセル回路のコンデンサに出力段電流源から駆動電流に対応する電流がコンデンサに流されてコンデンサが充電され、コンデンサに記憶された電圧値に応じて駆動トランジスタにより電流駆動される。

- [0003] この種の有機EL表示パネルの電流駆動回路の一例として、カラムピン対応にD/A変換回路(以下D/A)を設けたこの出願人の特開2003-234655号の出願が公知である(特許文献1)。これは、カラムピン対応のD/Aが表示データと基準駆動電流とを受けて、基準駆動電流に従って表示データをD/A変換してカラムピン対応にカラム方向の駆動電流あるいはこの駆動電流の元となる電流を生成し、生成した電

流によりカレントミラー回路の出力段電流源を駆動する。

特許文献1:特開2003-234655号公報

## 発明の開示

### 発明が解決しようとする課題

[0004] 前記のような電流駆動回路を搭載したIC(デバイス)は、有機ELパネルのカラムピンに接続される前に、電流駆動回路の各カラムピンに接続される各出力端子の出力電流について各出力端子に出力される出力電流値が適正か否かのテスト(検査)が行われる。

有機ELパネルの駆動回路が4ビット〜6ビット程度のD/Aを使用して出力段電流源を駆動し、それによりOEL素子を駆動すると、D/Aの電流変換精度が悪いために、カラムピン対応の駆動電流にばらつきを生じ易い。このばらつきは、表示装置の製品毎の輝度ばらつきや表示装置の輝度むらとなった現れてくる。

そのため有機ELパネルの駆動回路(ドライバIC)の各出力端子の出力電流が所定の仕様範囲に入っているか否かの検査が必要になる。この検査は、今のところ、各出力端子に測定装置を接続して電流計で直接出力電流を測ることで行われている。

しかし、測定装置のプロブを各出力端子にそれぞれ接触させた時点で、プロブの持つ容量により測定値が安定するまでのセットリングタイムが10msec程度はかかってしまう。そのため、カラムピン数が増加するとそれに対応して各出力端子も増加し、測定回数が多くなってデバイス1個の測定に時間がかかる問題がある。

また、出力電流のテストは、表示データの多階調に合わせてそれぞれの階調で検査をすることになるため、1階調当たりの検査時間の長さが検査時間全体に大きな影響を与える。

測定時間を短縮するために各出力端子に対応する数のプロブを設けた測定装置を開発して使用することも考えられるが、高価な測定装置となる。各出力端子(あるいはカラムピン)の間隔が0.2mm以下と狭い上に、各出力端子間隔にもばらつきがあるので適正な測定装置を安価な装置としては造りにくい。しかも、今後、カラムピン数は、増加し、カラムピン間隔は減少する傾向にある。これに応じて有機ELパネルの駆動回路(ドライバIC)の出力端子数も増加する傾向にある。

この発明の目的は、このような従来技術の問題点を解決するものであって、有機ELパネルの駆動回路(ドライバIC)の各出力端子から各カラムピンに出力される電流値が適正か否かのテストを行う場合のテスト時間を短縮をすることができる有機ELパネルの駆動回路および有機EL表示装置を提供することにある。

### 課題を解決するための手段

[0005] このような目的を達成するためのこの発明の有機ELパネルの駆動回路および有機EL表示装置の構成は、それぞれの出力端子を介して有機ELパネルの複数のカラムラインあるいは複数のデータ線へそれぞれ駆動電流を出力する複数の電流源を有するIC化された有機ELパネルの駆動回路において、

それぞれの出力端子に一端がそれぞれ接続されかつ他端が共通に接続された複数のスイッチ回路と、

所定の電位ラインに一端が接続された複数の抵抗と、

複数のスイッチ回路の共通に接続された他端を複数の抵抗のそれぞれの他端の1つに選択的に接続するセクタと、

複数のスイッチ回路の1つを順次所定のタイミングで選択してONにするスイッチ走査回路とを備えていて、

スイッチ回路とセクタとスイッチ走査回路とがICに内蔵され、各出力端子の出力電流を検査するためにセクタにより選択された複数の抵抗の1つにより出力電流が電圧値に変換され、スイッチ走査回路の走査に応じて順次発生する前記の変換された電圧値がICから出力されるものである。

さらに、この発明の有機ELパネル駆動回路の検査装置は、前記の変換された電圧値あるいはこれに対応する信号を受けて有機ELパネルの駆動回路(ドライバIC)のそれぞれの各出力端子についての前記駆動電流の値が適正か否かの検査をするものである。

### 発明の効果

[0006] このように、この発明は、スイッチ走査回路により複数のスイッチ回路を順次走査することで有機ELパネルの駆動回路(ドライバIC)の各出力端子から各カラムピンあるいは各データ線へ出力される出力電流を順次選択し、セクタにより選択された抵抗

により出力電流を電圧値に変換してICから外部へスイッチ走査回路の走査に応じて順次発生する変換された電圧値を出力する。

これにより、この発明は、測定装置のプローブをドライバICの各出力端子に接触させる必要はなくなり、IC外部において、出力された電圧値をコンパレータ等で比較することで各出力端子の出力電流の可否を走査タイミングで順次判定することが可能になる。特に、セレクトにより複数の抵抗の1つを他の1つに切換えられるようにすれば、この発明は、各出力端子の出力電流値が仕様範囲にあるか否かの判定が容易にでき、各出力端子の出力電流の測定時間を短縮することができる。

また、コンパレータをICに内蔵するようにすれば、この発明は、各出力端子の出力電流値が適正か否かに関係する判定結果をそのまま論理値で出力することができる。

さらに、複数のスイッチ回路として各出力端子対応に設けられているパッシブマトリックス型の有機ELパネルにおけるOEL素子のリセットスイッチを利用すれば、あるいは駆動電流を電圧値で記憶するアクティブマトリックス型の 픽セル回路のコンデンサの同様なリセットスイッチを利用すれば、この発明は、それぞれの出力端子に一端が接続されたスイッチ回路を特別に設ける必要はなくなるので、簡単な回路として出力電流値のテスト回路を設けることができる。これによりICとしての回路規模の増加を抑えることができる。

その結果、この発明は、有機ELパネルの駆動回路(ドライバIC)の各出力端子について、各カラムピン(各出力端子)に出力される電流値が適正か否かのテストを所定のタイミングで行うことができ、テスト時間を短縮をすることができる。

#### 発明を実施するための最良の形態

[0007] 図1は、この発明の有機ELパネルの駆動回路を適用した一実施例のブロック図である。

図1において、10は、有機ELパネルにおける有機EL駆動回路としてのカラムICドライバ(以下カラムドライバ)である。このカラムドライバ10は、出力端子X1, X2, …Xnに対応して設けられたD/A4と出力段電流源5とを有している。出力段電流源5は、トランジスタQ1, Q2のカレントミラー回路で構成され、D/A4により電流駆動されて

各出力端子X(出力端子X1, X2, …Xnを代表して以下出力端子Xで説明)に接続されたOEL素子19に駆動電流を出力する。

D/A4は、カラムピン対応に表示データDATと基準駆動電流 $I_r$ とを受けて、基準駆動電流に従って表示データDATをD/A変換してカラムピン対応に駆動電流を生成して出力段電流源5を駆動する。なお、表示データDATは、MPU11によりレジスタ6にセットされたデータがそれぞれのD/A4に分配されたものである。

[0008] 各出力端子Xには、それぞれリセットスイッチSWが設けられている。このリセットスイッチSWは、PチャンネルMOSトランジスタ $T_p$ で構成され、各トランジスタ $T_p$ のソースは、それぞれ出力端子Xに接続され、各トランジスタ $T_p$ のドレインは、接続ライン13に共通に接続され、この接続ライン13を介してセレクト2の入力とコンパレータ9の入力に接続されている。コンパレータ9の出力は、接続ライン14を介して出力端子14aに接続されている。

1は、テスト回路であって、セレクト2と、シフトレジスタ3、分周回路7、ナンドゲート8、そしてコンパレータ9とからなる。

[0009] セレクト2は、抵抗 $R_a$ 、抵抗 $R_b$ とツェナーダイオードDZRのいずれかの一方の端子を選択するものであって、抵抗 $R_a$ 、抵抗 $R_b$ とツェナーダイオードDZRの他方の端子はグラウンドGNDに接続されている。

抵抗 $R_a$ 、抵抗 $R_b$ の抵抗値を $R_a$ 、 $R_b$ とすると、 $R_a > R_b$ であり、 $R_a$ と $R_b$ の抵抗値は、各前記出力端子Xに出力される電流値がこれら抵抗の1つに流れたときに、電流値が適正である範囲の上限値の電圧と下限値の電圧をこれら抵抗がそれぞれ発生するように選択されている。ここでは、抵抗 $R_a$ が上限値の電圧を、抵抗 $R_b$ が下限値の電圧を発生する。

シフトレジスタ3は、分周回路7から分周されたクロック信号CK(以下クロックCK)を受けて入力された1ビットデータ("1")をシフトすることで、分周されたクロックCKに応じてリセットスイッチSWを順次選択して選択されたスイッチをONにするスイッチ走査回路であり、それにより各出力端子Xのうちの1つを順次選択する。

分周回路7は、コントロール回路12から出力されるクロックCLK信号(以下クロックCLK)を分周して分周されたクロックCKを発生し、接続ライン15を介してシフトレジスタ

3に分周されたクロックCKを供給する。さらに、接続ライン16、出力端子16aを介して外部に分周されたクロックCKを出力する。このクロックCKは、通常の動作クロックCLKよりも低いものであり、コントロール回路12は、このクロックCKを各出力端子X(リセットスイッチSW)を走査する数分だけ発生させる。

[0010] ナンドゲート8は、シフトレジスタ3の各段に対応して設けられていて、シフトレジスタ3の各段の出力がナンドゲート8を介して各トランジスタTpのうち対応するトランジスタのゲートにそれぞれ出力される。さらに、各段に対応するそれぞれのナンドゲート8の他方の入力には、コントロール回路12から入力端子17a、接続ライン17を介してリセットコントロールパルスRSが加えられる。

なお、リセットコントロールパルスRSは、パッシブマトリックス型の有機ELパネルの駆動では、水平1ラインの走査期間に相当する表示期間と帰線期間に相当するリセット期間(垂直方向の走査切替期間)とを切り分ける信号となり、カラム側の駆動においては、水平1ラインの走査期間と帰線期間を切り分けるタイミングコントロール信号と同じ信号である。

コンパレータ9は、可変電圧発生回路9aを有し、これが発生する基準電圧Vrefを(−)入力に受け、(+)入力が共通の接続ライン13に接続されている。可変電圧発生回路9aは、MPU11からデータを受けて比較基準電圧Vrefを発生するプログラマブル電圧発生回路であり、これにより発生する比較電圧Vrefは、電流値が適正である範囲の上限値の電圧と下限値の電圧の間の電圧に設定される。それは、通常は、(上限値の電圧+下限値の電圧)/2の電圧である。そこで、コンパレータ9は、入力電圧がこの比較電圧Vrefより等しいか、高いときに“H”を発生し、低いときに“L”を発生する。なお、可変電圧発生回路9aは、MPU11から設定データを受けて比較電圧Vrefを発生する。

[0011] MPU11から選択信号SELを受けていないとき、すなわち、選択信号SELが“00”のときに、セレクト2は、ツェナーダイオードDZRを選択(図示)している。各ナンドゲート8は、一方の入力にリセットコントロールパルスRSをコントロール回路12から入力端子17a、接続ライン17を介して受ける。他方の入力にはシフトレジスタ3の各段の出力をそれぞれが受けて、その各出力をそれぞれにトランジスタTpに送出する。そこで



、リセットコントロールパルスRSがHIGHレベル(“H”, “H”有意)で、シフトレジスタ3の各段の出力が“H”のときに各ナンドゲート8に“L”が発生してこれが各トランジスタTpのゲートにそれぞれ出力されてそれぞれのトランジスタTpがONになる。それ以外のときには各トランジスタTpはOFFである。

シフトレジスタ3は、電源投入時の初期状態では、分周回路7からのクロックCKを受けてMPU11からオールビット“1”がセットされ、各段に“1”が設定される。そこで、シフトレジスタ3の各段の出力が“H”となり、リセットコントロールパルスRSが“H”のリセット期間に各ナンドゲート8から“L”の信号が各トランジスタTpのゲートにそれぞれ加えられて、各出力端子Xがリセット期間にONした各トランジスタTp、接続ライン13、セクタ2を介して同時にツェナーダイオードDZRの電圧になって、OEL素子19が定電圧リセット(プリチャージ)される。なお、このときにはOEL素子19の陰極側は、ロー側走査により所定のタイミングでグランドGNDに接続される。

[0012] セクタ2は、MPU11がテストモードに設定されたときに、MPU11から入力端子18a、接続ライン18を介して選択信号SELを受ける。この選択信号SELに応じて抵抗Ra、抵抗Rbのうちの1つが選択される。なお、選択信号SELは、例えば、2ビットの信号、“10”, “01”であり、これらに応じてセクタ2は、抵抗Ra、抵抗Rbの順で選択する。選択信号SELが発生しないときには、この信号は“00”である。このときには前記したようにセクタ2は、ツェナーダイオードDZRを選択している。

MPU11がテストモードに設定されるのは、各出力端子Xに出力される出力電流値が適正か否かのテストが合否判定装置20により行われるときであり、MPU11は、外部から割込み端子に所定の割込み信号を受けてテストモードに入る。

このとき、MPU11は、シフトレジスタ3の初段に“1”をセットする。さらに、外部からの割込み信号に応じてセクタ2に対して抵抗Ra、抵抗Rbのいずれかを選択する選択信号SELを発生する。この選択信号SELは、分周回路7にも加えられて、分周回路7をイネーブルにする。このとき分周回路7は、選択信号SELの2ビットをオアした信号“1”をイネーブル信号として受ける。

[0013] その結果、所定の割込み信号を受けてMPU11がテストモードに入ると、カラムドライバ10が動作状態にされ、D/A4に所定の表示データが設定され、各出力段電流

源5から各出力端子Xに駆動電流が出力される。さらに、このときに、抵抗Ra、抵抗Rbのうちの1つが選択信号SELの値に応じて選択され、選択された抵抗の抵抗値に応じて出力電流値を変換した電圧がコンパレータ9の(+)入力に加えられる。

コンパレータ9は、クロックCKに応じて順次選択される各出力端子Xの出力電流に対応する電圧値の比較結果を出力端子14aから合否判定装置20へと送出する。このとき、クロックCKも出力端子16aから合否判定装置20へ送出される。

合否判定装置20は、LED点灯回路21、赤色LED22、そして緑色LED23とからなる。LED点灯回路21は、シフトレジスタと各桁の出力を受けるナンドゲート、オアゲート等からなり、MPU11から選択信号SELを受け、さらに分周されたクロックCKを出力端子16aから受けて、クロックCKに同期して、コンパレータ9の出力をシフトレジスタに受けて分周されたクロックCKに応じてシフトし、コンパレータ21の“H”、“L”の判定結果を分周されたクロックCKに応じて記憶していく。さらに記憶された判定結果を読み出してオアゲートを介して赤色LED22を点灯し、ナンドゲートを介して緑色LED23を点灯する。すなわち、合否判定装置20は、選択信号SELの値が“10”であり、セクタ2が上限値の抵抗Raを選択しているときには、クロックCKを受けているときに“H”が1つでもあればオアゲートが“H”となり、これにより赤色LED22を点灯する。合否判定装置20は、クロックCKを受けているときにすべて“L”のときにはナンドゲートが“H”となり、これにより緑色LED23を点灯する。選択信号SELの値が逆に“01”であり、下限値の抵抗Rbを選択しているときには、それぞれのゲート出力をインバータを介して出力ことで、合否判定装置20は、前記と逆の点灯動作をさせる。すなわち、すべて“H”のときにはナンドゲート、インバータを経て緑色LED23を点灯し、“L”が1つでもあればオアゲート、インバータを経て赤色LED22を点灯する。

[0014]   そこで、MPU11がテストモードになっているときに、MPU11は、オペレータによる割込み信号に応じて選択信号SELの値“10”を発生させてセクタ2に抵抗Raを選択させて分周回路7とシフトレジスタ3とを動作させ、コントロール回路12を駆動してそのクロックCLKに応じてリセットスイッチSW(各出力端子X)を走査する。このときに赤色LED22が点灯せずに緑色LED23が点灯したときには、オペレータによる次の割込み信号に応じてMPU11は、選択信号SELの値“01”を発生させてセクタ2に抵

抗Rbを選択させて分周回路7とシフトレジスタ3とを動作させてリセットスイッチSW(各出力端子X)を走査する。このときに赤色LED22が点灯せずに緑色LED23が点灯したときには、各出力端子Xへ出力される出力電流は、設計仕様に適合してカラムドライバ10は合格(G)となる。一方、リセットスイッチSW(各出力端子X)を走査したときに赤色LED22が点灯したときにはカラムドライバ10は、不合格(NG)となる。

なお、このテストにおいて、D/A4に設定される表示データは、例えば、最大輝度に対応する表示データ、中間的な輝度に対応する表示データ等を選択することができる。それに応じて抵抗Ra, 抵抗Rbの抵抗値を選択するようにしてもよい。

[0015] ところで、前記のコンパレータ9は、オペアンプ等で構成し、低入力インピーダンスのものとする。コンパレータ9のインピーダンスが高いときには、ダミーの電流を流しておいてコンパレータ9の入力容量を出力電流で充電しておき、検査に入るとよい。これは、例えば、1回目の検査をダミー検査として、検査を連続して2回行えば可能になる。なお、コンパレータ9は、IC内部ではなく、合否判定装置20側に設けられていてもよい。この場合、IC内部のコンパレータ9は、A/D変換回路に換えることができる。このA/D変換回路により各出力端子Xの出力電流に対応する変換電圧値をデジタル値としてIC外部に出力することができる。この場合には、合否判定装置20側にデジタルコンパレータ等を設けるとよい。

このように変換電圧値をデジタル値で出力する場合には、D/A4に設定される表示データ値が変更されても合否判定装置20側にデジタルコンパレータの判定値がそれに応じて変更されればよい。これにより抵抗Ra, 抵抗Rbの抵抗値は固定値にすることができる。

さらに、合否判定装置20は、LED点灯回路21、赤色LED22、緑色LED23に換えて、メモリとMPUとで構成して、コンパレータ9の出力値あるいは前記のA/D変換回路のデジタル値の出力を一旦メモリに記憶しておき、データ処理により比較判定してデバイス(ドライバIC)の合否判定をするものであってもよい。この場合には、高速処理が可能であるので、クロックCLKを分周回路7で分周する必要はない。

#### 産業上の利用可能性

[0016] 以上説明してきたが、実施例では、出力電流を切換える各スイッチとしてリセットスイ

ツチSWを利用しているが、この発明は、出力電流値のテストのために別途、各出力端子にスイッチ回路をそれぞれ設けてもよい。

また、実施例では、パッシブマトリックス型のOEL素子19の端子電圧をリセットするリセットスイッチSWを利用してこれを走査し、各出力端子Xに出力される出力電流を順次選択してしているが、このOEL素子19に換えてアクティブマトリックス型の各ピクセル回路の電流値を記憶するコンデンサが選択されてもよい。この場合には、前記のリセットスイッチは、ピクセル回路のコンデンサの端子電圧をリセットするリセットスイッチSWになる。

なお、アクティブマトリックス型有機EL表示パネルにおけるピクセル回路のコンデンサのリセット電圧は、電源電圧+V<sub>cc</sub>なる場合もある。また、パッシブマトリックス型有機EL表示パネルにおけるリセット電圧は、グランド電位の場合もある。

実施例では、R, G, Bの区別をして説明していなが、この発明は、R, G, Bのそれぞれの各カラムラインあるいはデータ線へ電流を出力する各出力端子Xがシフトレジスタ3により順次スイッチ回路を介して選択されるような構成を採ることができる。R, G, BそれぞれにリセットコントロールパルスRSを発生させるときには、シフトレジスタ3は、R, G, Bに対応して3個必要になるが、これら3個のシフトレジスタは、1つに接続された1個のシフトレジスタとされ、制御されてもよい。

#### 図面の簡単な説明

[0017] [図1]図1は、この発明の有機ELパネルの駆動回路を適用した一実施例のブロック図である。

#### 符号の説明

[0018] 1…テスト回路、2…セクタ、  
3…シフトレジスタ、4…D/A変換回路(D/A)、  
5…出力段電流源、6…レジスタ、7…分周回路、  
8…ナンドゲート、9…コンパレータ、  
10…カラムICドライバ(カラムドライバ)、  
11…MPU、12…コントロール回路、  
13〜18…接続ライン、19…有機EL素子(OEL素子)、

20…合否判定装置、21…LED点灯回路、  
22…赤色LED、23…緑色LED。

### 請求の範囲

- [1] それぞれの出力端子を介して有機ELパネルの複数のカラムラインあるいは複数のデータ線へそれぞれ駆動電流を出力する複数の電流源を有するIC化された有機ELパネルの駆動回路において、
- 複数の抵抗と複数のスイッチ回路とセレクトとスイッチ走査回路とを備え、
- 前記複数のスイッチ回路は、それぞれの前記出力端子に一端がそれぞれ接続されかつ他端が共通に接続され、
- 前記複数の抵抗は所定の電位ラインに一端が接続され、
- 前記セレクトは、前記複数のスイッチ回路の前記共通に接続された他端を前記複数の抵抗のそれぞれの他端の1つに選択的に接続し、
- 前記スイッチ走査回路は、前記複数のスイッチ回路の1つを順次所定のタイミングで選択してONにし、
- 前記スイッチ回路と前記セレクトと前記スイッチ走査回路とが前記ICに内蔵され、各前記出力端子の出力電流を検査するために前記セレクトにより選択された前記複数の抵抗の1つにより前記出力電流が電圧値に変換され、前記スイッチ走査回路の走査に応じて順次発生する前記変換された電圧値が前記ICから出力される有機ELパネルの駆動回路。
- [2] 前記スイッチ走査回路は、前記ICの外部からクロック信号を受けてこのクロック信号に応じて前記複数のスイッチ回路の1つを順次ONにする走査を行う請求項1記載の有機ELパネルの駆動回路。
- [3] さらに分周回路を有し、前記クロック信号は前記分周回路で分周され、前記スイッチ走査回路は、前記走査を前記分周されたクロック信号に応じて行い、前記分周されたクロック信号とともに前記変換された電圧値が前記ICから出力される請求項2記載の有機ELパネルの駆動回路。
- [4] さらに、前記ICに内蔵され前記変換された電圧値を受けてこれを所定の電圧と比較するコンパレータを有し、前記コンパレータの比較結果が前記電圧値に換えて前記分周されたクロック信号とともに前記ICから出力され、前記セレクトにより前記複数の抵抗の1つから他の1つに選択が切換えられて前記コンパレータの比較結果が前

記分周されたクロック信号とともに前記ICから出力される請求項3記載の有機ELパネルの駆動回路。

- [5] さらに、前記ICに内蔵され前記変換された電圧値をデジタル値に変換するA/D変換回路を有し、前記A/D変換回路の変換デジタル値が前記電圧値に換えて前記クロック信号とともに前記ICから出力され、前記セクタにより前記複数の抵抗の1つから他の1つに選択が切換えられて前記変換デジタル値が前記クロック信号とともに前記ICから出力される請求項2記載の有機ELパネルの駆動回路。
- [6] 前記セクタは、前記ICの外部から選択信号を受けてこの選択信号に応じて前記複数の抵抗の1つを選択する請求項4または5記載の有機ELパネルの駆動回路。
- [7] さらに、前記複数の抵抗は、各前記出力端子に出力される電流値が適正か否かを判定するためにそれぞれ所定値に選択され、前記スイッチ走査回路はシフトレジスタを有する請求項2乃至6のうちのいずれか1項記載の有機ELパネルの駆動回路。
- [8] それぞれの前記抵抗の前記所定値は、各前記出力端子に出力される電流値が適正である範囲の上限値と下限値にそれぞれ対応している請求項7記載の有機ELパネルの駆動回路。
- [9] さらに、前記セクタと前記所定の電圧ラインとの間に設けられた定電圧発生回路を有し、前記所定の電位ラインはグラウンドラインであり、前記セクタは、通常状態では、前記定電圧回路を選択して前記複数のスイッチ回路の共通に接続された前記他端を前記定電圧回路に接続し、前記選択信号を受けて前記複数の抵抗の1つを選択する請求項6項記載の有機ELパネルの駆動回路。
- [10] 前記有機ELパネルは、パッシブマトリクス型有機ELパネルであり、前記複数のスイッチ回路は、前記有機ELパネルの有機EL素子の端子電圧をリセットするリセットスイッチである請求項9項記載の有機ELパネルの駆動回路。
- [11] 前記有機ELパネルは、アクティブマトリクス型有機ELパネルであり、前記複数のスイッチ回路は、前記アクティブマトリクス型有機ELパネルのピクセル回路のコンデンサの端子電圧をリセットするリセットスイッチである請求項9項記載の有機ELパネルの駆動回路。
- [12] 請求項1〜11のいずれかの項記載の有機ELパネルの駆動回路と前記有機ELパ

ネルとを有する有機EL表示装置。

- [13] 請求項1〜11のいずれかの項記載の有機ELパネルの駆動回路の前記ICから出力される前記変換された電圧値あるいはこれに対応する信号を受けて前記有機ELパネルの駆動回路のそれぞれの前記出力端子についての前記駆動電流の値が適正か否かの検査をする有機ELパネル駆動回路の検査装置。
- [14] 請求項4項記載の有機ELパネルの駆動回路の前記コンパレータが前記ICの外部に設けられた請求項13項記載の有機ELパネル駆動回路の検査装置。
- [15] 請求項5項記載の有機ELパネルの駆動回路の前記D/A変換回路が前記ICの外部に設けられた請求項13項記載の有機ELパネル駆動回路の検査装置。





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005123

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> G09G3/30, 3/20

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> G09G3/30, 3/20, 3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-275610 A (Casio Computer Co., Ltd.), 06 October, 2000 (06.10.00), Full text; all drawings (Family: none)	1-15
P,A	JP 2004-177514 A (Oki Electric Industry Co., Ltd.), 24 June, 2004 (24.06.04), Full text; all drawings & US 2004/0100428 A1	1-15
P,A	JP 2005-62836 A (Rohm Co., Ltd.), 10 March, 2005 (10.03.05), Full text; all drawings & US 2005/0024299 A1	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;"

document member of the same patent family

Date of the actual completion of the international search

20 June, 2005 (20.06.05)

Date of mailing of the international search report

05 July, 2005 (05.07.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005123

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	JP 2004-295081 A (Canon Inc.) , 21 October, 2004 (21.10.04) , Full text; all drawings & US 2004/0183752 A1 & EP 1455336 A2	1-15

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G09G3/30, 3/20

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G09G3/30, 3/20, 3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2000-275610 A (カシオ計算機株式会社), 2000.10.06, 全文全図 (ファミリーなし)	1-15
P, A	J P 2004-177514 A (沖電気工業株式会社), 2004.06.24, 全文全図 & US 2004/0100428 A1	1-15

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

20.06.2005

国際調査報告の発送日

05.07.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

濱本 禎広

2G

9509

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, A	JP 2005-62836 A (ローム株式会社), 2005. 03. 10, 全文全図 & US 2005/0024299 A1	1-15
P, A	JP 2004-295081 A (キヤノン株式会社), 2004. 10. 21, 全文全図 & US 2004/0183752 A1 & EP 1455336 A2	1-15